

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-27812

(43) 公開日 平成9年(1997) 1月28日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 12/28		9466-5K	H 0 4 L 11/20	H
H 0 4 Q 3/00		9466-5K	H 0 4 Q 3/00	
			H 0 4 L 11/20	G

審査請求 未請求 請求項の数4 O L (全 11 頁)

(21) 出願番号 特願平7-177609

(22) 出願日 平成7年(1995) 7月13日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 畝川 康夫

神奈川県川崎市幸区小向東芝町1 株式会

社東芝多摩川工場内

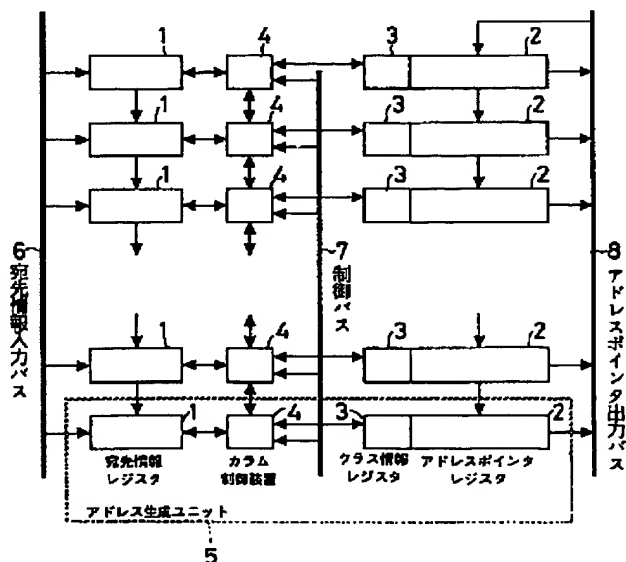
(74) 代理人 弁理士 三好 秀和 (外3名)

(54) 【発明の名称】 ATMスイッチのアドレス生成回路

(57) 【要約】

【課題】 この発明は、サービスクラス毎に論理的にセルバッファを分割して管理することで、1つのLSIで複数のサービスクラスをサポートすることが可能なATMスイッチのアドレス生成回路を提供することを課題とする。

【解決手段】 この発明は、ATM（非同期転送モード）交換システムにおける共有バッファ型のATMスイッチのアドレス生成回路において、共有バッファに格納されているセルの出力ポートを示す宛先情報、アドレス、サービスクラスを示すクラス情報が格納されるアドレス生成ユニット5を複数備え、共有バッファに対するセルの入出力時には、セルのクラス情報と一致するクラス情報が格納されているアドレス生成ユニット5の宛先情報及びアドレスが選択されて使用されるように構成される。



1

【特許請求の範囲】

【請求項 1】 ATM（非同期転送モード）交換システムにおける共有バッファ型の ATM スイッチのアドレス生成回路において、

共有バッファに格納されているセルの出力ポートを示す宛先情報、アドレス、サービスクラスを示すクラス情報が格納されるアドレス生成ユニットを複数備え、前記共有バッファにおけるセルの入出力時には、セルのクラス情報と一致するクラス情報が格納される前記アドレス生成ユニットの宛先情報及びアドレスが選択され使用されることを特徴とする ATM スイッチのアドレス生成回路。

【請求項 2】 ATM（非同期転送モード）交換システムにおける共有バッファ型の ATM スイッチのアドレス生成回路において、

共有バッファに対して入出力されるセルの出力ポートを示す宛先情報が格納される宛先情報レジスタと、前記共有バッファに対して入出力されるセルのアドレスが格納されるアドレスポインタレジスタと、前記共有バッファに対して入出力されるセルのサービス

クラスを示すクラス情報が設定され、このクラス情報は前記共有バッファに割り当てるサービスクラスのバッファ数に応じて初期設定されてなるクラス情報レジスタと、前記それぞれのレジスタの入出力を制御する制御回路とからなるアドレス生成ユニットを複数備え、前記複数のアドレス生成ユニットの宛先情報レジスタとアドレスポインタレジスタと制御回路とは最下位側から時系列的に内容が格納されるように接続され、前記共有バッファにおけるセルの入出力時には、セルのクラス情報と一致するクラス情報が設定されている前記クラス情報レジスタを含む最下位の前記アドレス生成ユニットの宛先情報レジスタ及びアドレスポインタレジスタが選択され使用されることを特徴とする ATM スイッチのアドレス生成回路。

【請求項 3】 ATM（非同期転送モード）交換システムにおける共有バッファ型の ATM スイッチのアドレス生成回路において、

共有バッファに格納されているセルの出力ポートを示す宛先情報とアドレスとサービスクラスを示すクラス情報とサービスクラスにおけるトラフィック・タイプの優先順位を示す情報が格納されるアドレス生成ユニットを複数備え、

前記共有バッファにおけるセルの入力時には、セルのクラス情報と一致するクラス情報が設定されている前記アドレス生成ユニットの宛先情報及びアドレスが選択されて使用され、前記共有バッファにおけるセルの出力時には、セルのクラス情報と一致する優先順位及びクラス情報が設定されている前記アドレス生成ユニットの宛先情報及びアドレスが選択され使用されることを特徴とする

2

ATM スイッチのアドレス生成回路。

【請求項 4】 ATM（非同期転送モード）交換システムにおける共有バッファ型の ATM スイッチのアドレス生成回路において、

共有バッファに対して入出力されるセルの出力ポートを示す宛先情報が格納される宛先情報レジスタと、前記共有バッファに対して入出力されるセルのアドレスが格納されるアドレスポインタレジスタと、

複数のトラフィック・タイプを含む所定のサービスクラスにおけるトラフィック・タイプの優先順位を示す情報がセルの入力時に設定されてなる第 1 のクラス情報レジスタと、

前記共有バッファに対して入出力されるセルのサービスクラスを示すクラス情報が設定され、このクラス情報は前記共有バッファに割り当てるサービスクラスのバッファ数に応じて初期設定されてなる第 2 のクラス情報レジスタと、

前記それぞれのレジスタの入出力を制御する制御回路とからなるアドレス生成ユニットを複数備え、

前記複数のアドレス生成ユニットの宛先情報レジスタとアドレスポインタレジスタと第 1 のクラス情報レジスタと制御回路は最下位側から時系列的に内容が格納されるように接続され、前記共有バッファにおけるセルの入力時には、セルのクラス情報と一致するクラス情報が設定されている前記第 2 のクラス情報レジスタを含む最下位の前記アドレス生成ユニットの宛先情報レジスタ及びアドレスポインタレジスタが選択されて使用され、前記共有バッファにおけるセルの出力時には、セルのクラス情報と一致する優先順位及びクラス情報が設定されている前記第 1 及び第 2 のクラス情報レジスタを含む最下位の前記アドレス生成ユニットの宛先情報レジスタ及びアドレスポインタレジスタが選択され使用されることを特徴とする ATM スイッチのアドレス生成回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ATM（Asynchronous Transfer Mode、非同期転送モード）交換システムにおける共有バッファ型の ATM スイッチのアドレス生成回路に関する。

【0002】

【従来の技術】ATM スイッチは、ATM セルに付加された宛先情報（ルーティングタグ）をもとに、セルをその宛先に交換する動作を実現するものであり、セルを蓄積するセルバッファの配置によって、入力バッファ型、出力バッファ型、共有バッファ型に分類される。一般に、バッファ総数を一定としたときのセル廃棄率特性は、共有バッファ型が最も優れている。

【0003】共有バッファ型の ATM スイッチにおけるセルバッファのアドレス管理方式としては、リンクトリスト方式、シフトレジスタ方式などが知られている。

【0004】このような方式のATMスイッチにおいて、ATMスイッチで実現される機能の一つに同報機能（マルチキャスト）がある。同報機能は、入力セルをコピーして複数の出力ポートに出力する機能である。しかし、リンクリスト方式で同報機能を実現しようとする、1）同報セルのスループットに限界があり、2）セルバッファの有効利用が図れないなどの問題がある。これに対して、シフトレジスタ方式では、以下に述べるように宛先情報を記憶するレジスタを出力リンクと同数用意することにより容易に実現できる。

【0005】次に、シフトレジスタ型のアドレス管理方式を実現する従来のアドレス生成回路の概要について、図12を用いて説明する。

【0006】図12において、アドレス生成回路は、セルの宛先情報を記憶する宛先情報レジスタ101と、セルが記憶されているセルバッファ（図示せず）のアドレスを記憶するアドレスポインタレジスタ102と、これらを制御するカラム制御回路103で構成されるアドレス生成ユニット104が、宛先情報入力バス105、制御バス106、アドレスポインタ出力バス107を介してループ状に接続されて構成されている。宛先情報入力バス105にはスイッチ入力部（図示せず）よりセルの宛先情報が、制御バス106にはアドレス生成回路の制御データがそれぞれ転送される。また、アドレスポインタ出力バス107には、セルのセルバッファへの書き込みアドレス、セルバッファからの読み出しアドレスがそれぞれ転送される。

【0007】各アドレス生成ユニット104の位置関係はセルの到着順序に対応しており、図中の下方に位置するアドレス生成ユニット104に対応するセルは、上方に位置するアドレス生成ユニット104のセルよりも到着時間が古い。したがって、ある出力ポート行きのセルを時間順序を守って出力するためには、アドレス生成回路を下方から検索し、その出力ポート行きの宛先情報が記憶されているアドレス生成ユニット104を検出すればよい。検出されたアドレス生成ユニット104のアドレスポインタレジスタ102に記憶されたアドレスがセルバッファの読み出しアドレスとなる。

【0008】アドレス生成回路におけるシフトレジスタ型のアドレス管理は、入力動作、出力動作、シフト動作の一連の3つの動作により実現される。

【0009】入力動作は、セルが入力されるときに行われる。セル入力時は、セルに付加された宛先情報がアドレス生成回路に転送され、アドレス生成回路の空きカラムが下方から検索される。最初に検索された空きカラムに宛先情報が入力され、そのカラムのアドレスポインタがセルバッファへ転送されて、セルバッファにセルが書き込まれる。

【0010】図14、15、16、17は図13に示す初期状態から、宛先情報0を持つセルA、宛先情報1を

持つセルB、宛先情報1を持つセルC、宛先情報0を持つセルDが、この順序で入力されたときのアドレス生成回路108及びセルバッファ109の内部状態をそれぞれ図示したものである。

【0011】出力動作は、セルが出力されるときに行われる。セル出力時は、出力ポートに一致する宛先情報を持つアドレス生成回路のカラムが下方から検索され、最初に検索されたカラムのアドレスポインタがセルバッファへ転送されて、セルバッファからセルが読み出される。また、出力されたカラムの宛先情報はリセットされ、セルが出力されたカラムは空きカラムとなる。

【0012】図18、19は図17に示す状態から、出力ポート“0”行きのセル、出力ポート“1”行きのセルが、この順序で出力されたときのアドレス生成回路108及びセルバッファ109の内部状態をそれぞれ図示したものである。

【0013】シフト動作は、出力動作によって生じた空きカラムを詰めるために行われる。シフト動作時は、アドレス生成回路の空きカラムが下方から検索され、最初に検索された空きカラムのアドレスポインタの値をアドレスポインタ出力バス107に出力するとともに、そのカラムより上方のカラムの値を1段下のカラムへシフトする。アドレスポインタ出力バスに出力されたアドレスポインタの値は最上段のカラムへ入力される。

【0014】図20は図19に示す状態から1回のシフト動作が行われ、図21は図20に示す状態から1回のシフト動作が行われて、それぞれ空きカラムが1つ詰められたときのアドレス生成回路108及びセルバッファ109の内部状態を図示したものである。

【0015】上記のアドレス生成回路においては、同報機能は宛先情報レジスタ101を出力ポートと同数用意することで容易に実現される。例えば4つの出力ポートを有する場合には、図22に示すように、宛先情報レジスタ101の各ビットと出力ポートを1対1に対応させ、同報すべき出力ポートに対応する宛先情報レジスタ101のビットに例えば“1”を設定する。入力動作、シフト動作は上述したものと同様であるが、出力動作において、セルが出力されたカラムの出力ポートに対応する宛先情報ビットのみがリセットされるのが異なる。

【0016】このようなシフトレジスタ型アドレス管理方式を採用した従来の共有バッファ型のATMスイッチLSIでは、セルバッファの容量がチップサイズの制約から256セル程度に制限されていたため、例えば、CBR（Constant Bit Rate）、VBR（Variable Bit Rate）、ABR（Available Bit Rate）などのトラフィック・タイプの異なる複数のサービスクラスを1つのスイッチLSIでサポートするには、スループットの観点から見てセルバッファの容量が不足していた。したがって、複数のサービスクラスをサポートするためには、例

えば、呼受付制御(CAC: Call Admission Control)により、予め回線の帯域割当てを行うCBR/VBRセルを扱うスイッチ基板と、帯域割当てを行わないABRセルを扱うスイッチ基板の2枚で構成される2プレーンスイッチなどが用いられていた。

【0017】しかしながら、最近の微細化技術の進展とともに、1つのスイッチLSIに集積化が可能なセルバッファ数も512セル程度にまで増加したため、セルバッファ数の観点からは1つのLSIで複数のサービスクラスをサポートすることが可能になってきた。そこで、共有バッファ型のスイッチLSIにおいて、複数のサービスクラスを効率的かつ柔軟にサポートするアドレス管理方式の提案が待たれていた。

【0018】

【発明が解決しようとする課題】以上説明したように、従来の共有バッファ型のATMスイッチにおいては、チップサイズの制約からセルバッファの容量に制限を受けていたため、複数のサービスクラスを1チップのLSIでサポートすることができず、複数のLSIチップによりサポートしていた。このため、構成の大型化や製造工数の増大といった不具合を招いていた。

【0019】そこで、この発明は、上記に鑑みてなされたものであり、その目的とするところは、サービスクラス毎に論理的にセルバッファを分割して管理することで、1つのLSIで複数のサービスクラスをサポートすることが可能なATMスイッチのアドレス生成回路を提供することにある。

【0020】

【課題を解決するための手段】上記目的を達成するために、請求項1記載の発明は、ATM(非同期転送モード)交換システムにおける共有バッファ型のATMスイッチのアドレス生成回路において、共有バッファに格納されているセルの出力ポートを示す宛先情報、アドレス、サービスクラスを示すクラス情報が格納されるアドレス生成ユニットを複数備え、前記共有バッファにおけるセルの入出力時には、セルのクラス情報と一致するクラス情報が格納される前記アドレス生成ユニットの宛先情報及びアドレスが選択され使用される構成される。

【0021】請求項2記載の発明は、ATM(非同期転送モード)交換システムにおける共有バッファ型のATMスイッチのアドレス生成回路において、共有バッファに対して入出力されるセルの出力ポートを示す宛先情報が格納される宛先情報レジスタと、前記共有バッファに対して入出力されるセルのアドレスが格納されるアドレスポインタレジスタと、前記共有バッファに対して入出力されるセルのサービスクラスを示すクラス情報が設定され、このクラス情報は前記共有バッファに割り当てるサービスクラスのバッファ数に応じて初期設定されてなるクラス情報レジスタと、前記それぞれのレジスタの入出力を制御する制御回路とからなるアドレス生成ユニ

ットを複数備え、前記複数のアドレス生成ユニットの宛先情報レジスタとアドレスポインタレジスタと制御回路とは最下位側から時系列的に内容が格納されるように接続され、前記共有バッファにおけるセルの入出力時には、セルのクラス情報と一致するクラス情報が設定されている前記クラス情報レジスタを含む最下位の前記アドレス生成ユニットの宛先情報レジスタ及びアドレスポインタレジスタが選択され使用されて構成される。

【0022】請求項3記載の発明は、ATM(非同期転送モード)交換システムにおける共有バッファ型のATMスイッチのアドレス生成回路において、共有バッファに格納されているセルの出力ポートを示す宛先情報とアドレスとサービスクラスを示すクラス情報とサービスクラスにおけるトラフィック・タイプの優先順位を示す情報が格納されてなるアドレス生成ユニットを複数備え、前記共有バッファにおけるセルの入力時には、セルのクラス情報と一致するクラス情報が設定されている前記アドレス生成ユニットの宛先情報及びアドレスが選択されて使用され、前記共有バッファにおけるセルの出力時には、セルのクラス情報と一致する優先順位及びクラス情報が設定されている前記アドレス生成ユニットの宛先情報及びアドレスが選択され使用されて構成される。

【0023】請求項4記載の発明は、ATM(非同期転送モード)交換システムにおける共有バッファ型のATMスイッチのアドレス生成回路において、共有バッファに対して入出力されるセルの出力ポートを示す宛先情報が格納される宛先情報レジスタと、前記共有バッファに対して入出力されるセルのアドレスが格納されるアドレスポインタレジスタと、複数のトラフィック・タイプを含む所定のサービスクラスにおけるトラフィック・タイプの優先順位を示す情報がセルの入力時に設定されてなる第1のクラス情報レジスタと、前記共有バッファに対して入出力されるセルのサービスクラスを示すクラス情報が設定され、このクラス情報は前記共有バッファに割り当てるサービスクラスのバッファ数に応じて初期設定されてなる第2のクラス情報レジスタと、前記それぞれのレジスタの入出力を制御する制御回路とからなるアドレス生成ユニットを複数備え、前記複数のアドレス生成ユニットの宛先情報レジスタとアドレスポインタレジスタと第1のクラス情報レジスタと制御回路は最下位側から時系列的に内容が格納されるように接続され、前記共有バッファにおけるセルの入力時には、セルのクラス情報と一致するクラス情報が設定されている前記第2のクラス情報レジスタを含む最下位の前記アドレス生成ユニットの宛先情報レジスタ及びアドレスポインタレジスタが選択されて使用され、前記共有バッファにおけるセルの出力時には、セルのクラス情報と一致する優先順位及びクラス情報が設定されている前記第1及び第2のクラス情報レジスタを含む最下位の前記アドレス生成ユニットの宛先情報レジスタ及びアドレスポインタレジスタが

選択され使用されて構成される。

【0024】

【発明の実施の形態】以下、本発明の実施の形態を図面を用いて説明する。

【0025】図1は請求項1又は2記載の発明の一実施形態に係るATMスイッチのアドレス生成回路の構成を示す回路図である。

【0026】図1において、アドレス生成回路は、宛先情報レジスタ1、アドレスポインタレジスタ2、クラス情報レジスタ3、カラム制御回路4からなるアドレス生成ユニット5が、それぞれ対応した宛先情報入力バス6、制御バス7、アドレスポインタ出力バス8を介してループ状に接続されて構成されている。

【0027】宛先情報レジスタ1は、セルの宛先情報を格納するレジスタであり、アドレスポインタレジスタ2は、セルバッファ（図示せず）に記憶されているセルのアドレスを格納するレジスタであり、クラス情報レジスタ3はセルのサービスクラスを格納するレジスタであり、カラム制御回路4はこれらのレジスタを制御する回路である。クラス情報レジスタ3は、初期設定時に各サービスクラス毎に割り当てるバッファ数に対応して値が設定される。例えば、CBRとVBRが含まれるG（Guaranteed Traffic）クラス、ABRが含まれるB（Best Effort Traffic）クラスの2つのサービスクラスにセルバッファを固定的に分割したい場合は、Bクラスに割り当てるセルバッファ数に対応するエントリのクラス情報レジスタに例えば“1”を立てる。この場合は、クラス情報レジスタ3が“0”のエントリはGクラスに割り当てられることになる。

【0028】宛先情報入力バス6には、スイッチ入力部（図示せず）よりセルの宛先情報が転送される。制御バス7には、アドレス生成回路への制御データが転送される。アドレスポインタ出力バス8には、セルのセルバッファへの書き込みアドレス、セルバッファからの読み出しアドレスがそれぞれ転送される。各アドレス生成ユニット5の位置（位置とは物理的な位置ではない）関係は、セルの到着順序に対応しており、同一サービスクラス内では、下方（下位）にあるアドレス生成ユニット5に対応するセルが時間的に古い。

【0029】異なるサービスクラス間では、必ずしも下方（下位）にあるアドレス生成ユニット5に対応するセルが時間的に古いとは限らない。しかし、サービスクラス間では優先制御が行われるため、遅延優先度の高いセルは、たとえ到着順序が後であっても、優先度の低いセルを追い越して出力される。したがって、同一サービスクラス内の時間的順序のみが重要であり、異なるサービスクラス間の時間的順序の逆転は問題とはならない。

【0030】本実施形態のアドレス生成回路は、入力動作、出力動作、シフト動作の3つの動作で作用する。

【0031】入力動作は、セルが入力される時に行われる。セル入力時は、セルに付加された宛先情報とクラス情報がアドレス生成回路9に転送され、アドレス生成回路9の対応するクラスの空きカラムが下方（下位）から検索される。最初に検索された対応するクラスの空きカラムに宛先情報が入力され、そのカラムのアドレスポインタがセルバッファ10へ転送されて、セルバッファ10にセルが書き込まれる。

【0032】図3、図4、図5、図6は、図2に示す初期状態から、宛先情報0、クラスGを持つセルA、宛先情報1、クラスBを持つセルB、宛先情報1、クラスGを持つセルC、宛先情報0、クラスBを持つセルDが、この順序で入力されたときのアドレス生成回路9とセルバッファ10の内部状態をそれぞれ図示したものである。

【0033】出力動作は、セルが出力される時に行われる。セル出力時は、出力ポートと出力クラスに一致する宛先情報とクラス情報を持つアドレス生成回路9のカラムが下方から検索され、最初に検索されたカラムのアドレスポインタがセルバッファ10へ転送されて、セルバッファ10からセルが読み出される。また、出力されたカラムの宛先情報はリセットされる。

【0034】図7、8は図6に示す状態から、出力ポート0行きのクラスGのセル、出力ポート1行きのクラスGのセルが、この順序で出力されたときのアドレス生成回路9とセルバッファ10の内部状態をそれぞれ図示したものである。セルが出力されたカラムは空きカラムとなる。

【0035】シフト動作は、出力動作によって生じた空きカラムを詰めるために行われる。シフト動作時は、アドレス生成回路9の空きカラムがクラス情報とともに下方から検索され、最初に検索された空きカラムのクラス情報とアドレスポインタの値をアドレスポインタ出力バス8に出力するとともに、そのカラムより上方のカラムの値を1段下のカラムへシフトする。アドレスポインタ出力バス8に出力されたクラス情報とアドレスポインタの値は最上段のカラムへ入力される。

【0036】図9は図8に示す状態から1回のシフト動作が行われて、空きカラムが1つ詰められたときのアドレス生成回路9とセルバッファ10の内部状態を図示したものであり、図10は図9に示す状態から1回のシフト動作が行われて、空きカラムが1つ詰められたときのアドレス生成回路9とセルバッファ10の内部状態を図示したものである。

【0037】また、上記のアドレス生成回路において、入力セルをコピーして複数の出力ポートに出力する同報機能は、宛先情報レジスタ1を出力ポートと同数用意することで、容易に実現される。

【0038】図11は請求項3又は4記載の発明の一実施形態に係るATMスイッチのアドレス生成回路の構成

を示す回路図である。

【0039】この実施形態の特徴とするところは、上述した図1に示す実施形態のアドレス生成回路に比べて、クラス情報を第1のクラス情報レジスタ11、および第2のクラス情報レジスタ3に分割して持つことようにしたことにより、他の構成は図1に示す構成と同様である。

【0040】第1のクラス情報レジスタ11は、セル入力時にセルに付加されたクラス情報に基づいて設定され、第2のクラス情報レジスタ3は、図1に示すクラス情報レジスタ3と同じものであり、初期設定時に各サービスクラス毎に割り当てるバッファ数に対応して値が設定される。例えば、CBRとVBRが含まれるG (Guaranteed Traffic) クラス、ABRが含まれるB (Best Effort Traffic) クラスの2つのサービスクラスにバッファを固定的に分割したい場合は、Gクラスに割り当てるセルバッファ数に対応するエントリの第2のクラス情報レジスタ3に“1”を立てる。この場合、クラス情報レジスタ3が“0”のエントリはBクラスに割り当てられることになる。さらに、Gクラスに割り当てられたバッファはCBRとVBRで共有するが、それらの間に優先度を設けて扱いたい場合は、入力されたセルのクラス情報に基づいて、第1のクラス情報レジスタ11にCBRならば例えば“1”、VBRならば“0”を立てる。

【0041】この実施形態のアドレス生成回路は、入力動作、出力動作、シフト動作の3つの動作で作用する。

【0042】入力動作は、セルが入力されるときに行われる。セル入力時は、セルに付加された宛先情報とクラス情報がアドレス生成回路に転送され、アドレス生成回路の対応するクラス (B又はG) の空きカラムが下方から検索される。最初に検索された対応するクラス (B又はG) の空きカラムに宛先情報、第1のクラス情報レジスタ11にクラス情報 (CBR又はVBR) が入力され、そのカラムのアドレスポインタがセルバッファへ転送されて、セルバッファにセルが書き込まれる。

【0043】出力動作は、セルが出力されるときに行われる。セル出力時は、出力ポートと出力クラス (CBR、VBR、ABR) に一致する宛先情報とクラス情報を持つアドレス生成回路のカラムが下方 (下位) から検索され、最初に検索されたカラムのアドレスポインタがセルバッファへ転送されて、セルバッファからセルが読み出される。また、出力されたカラムの宛先情報はリセットされる。セルが出力されたカラムは空きカラムとなる。

【0044】シフト動作は、出力動作によって生じた空きカラムを詰めるために行われる。シフト動作時は、アドレス生成回路の空きカラムがクラス情報 (B又はG) とともに下方から検索され、最初に検索された空きカラムのクラス情報 (B又はG) とアドレスポインタの値を

アドレスポインタ出力バスに出力するとともに、そのカラムより上方のカラムの値を1段下のカラムへシフトする。アドレスポインタ出力バスに出力されたクラス情報 (B又はG) とアドレスポインタの値は最上段のカラムへ入力される。

【0045】以上、本発明のATM交換システムにおける共有バッファ型のATMスイッチのアドレス生成回路によれば、複数のサービスクラスにセルバッファを固定的に分割 (ハード・パーティション) すること、さらには、それらの一部のサービスクラスで優先制御を行うがセルバッファを共有 (ソフト・パーティション) することを同時に実現することが可能となる。

【0046】

【発明の効果】以上説明したように、請求項1又は2記載の発明によれば、サービスクラスを示すクラス情報を格納する手段を設けるようにしたので、1つのスイッチLSIで複数のサービスクラスをサポートすることが可能となる。また、サービスクラス毎に割り当てられるセルバッファ数は、初期設定時において容易に変更することができる。

【0047】請求項3又は4記載の発明によれば、複数の異なるトラフィック・タイプを含むサービスクラスにおいて、それぞれのトラフィック・タイプ毎に優先順位を設けて優先制御を行うようにしたので、1つのスイッチLSIで複数のサービスクラスをセルバッファを共有してよりきめ細かくサポートすることができる。

【図面の簡単な説明】

【図1】請求項1又は2記載の発明の一実施形態に係るATMスイッチのアドレス生成回路の構成を示す回路図である。

【図2】図1に示すアドレス生成回路の初期状態を示す図である。

【図3】図2に示すアドレス生成回路の状態から入力動作後の内部状態を示す図である。

【図4】図3に示すアドレス生成回路の状態から入力動作後の内部状態を示す図である。

【図5】図4に示すアドレス生成回路の状態から入力動作後の内部状態を示す図である。

【図6】図5に示すアドレス生成回路の状態から入力動作後の内部状態を示す図である。

【図7】図6に示すアドレス生成回路の状態から出力動作後の内部状態を示す図である。

【図8】図7に示すアドレス生成回路の状態から出力動作後の内部状態を示す図である。

【図9】図8に示すアドレス生成回路の状態からシフト動作後の内部状態を示す図である。

【図10】図9に示すアドレス生成回路の状態からシフト動作後の内部状態を示す図である。

【図11】請求項3又は4記載の発明の一実施形態に係るATMスイッチのアドレス生成回路の構成を示す回路

図である。

【図12】従来のATMスイッチにおけるシフトレジスタ型のアドレス生成回路の構成を示す図である。

【図13】図12に示すアドレス生成回路の初期状態を示す図である。

【図14】図13に示すアドレス生成回路の状態から入力動作後の内部状態を示す図である。

【図15】図14に示すアドレス生成回路の状態から入力動作後の内部状態を示す図である。

【図16】図15に示すアドレス生成回路の状態から入力動作後の内部状態を示す図である。

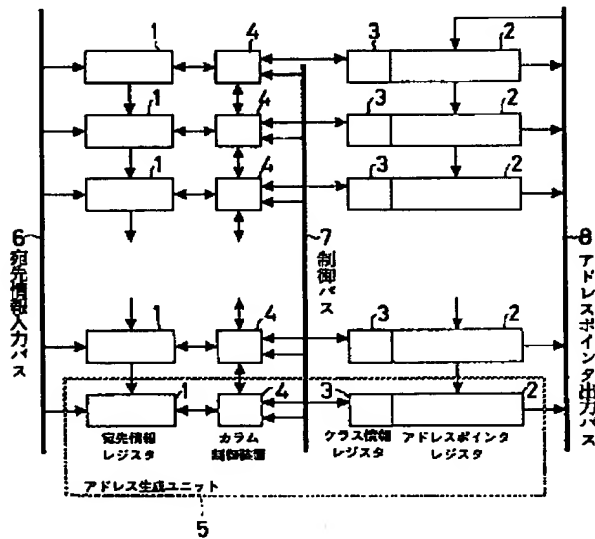
【図17】図16に示すアドレス生成回路の状態から入力動作後の内部状態を示す図である。

【図18】図17に示すアドレス生成回路の状態から出力動作後の内部状態を示す図である。

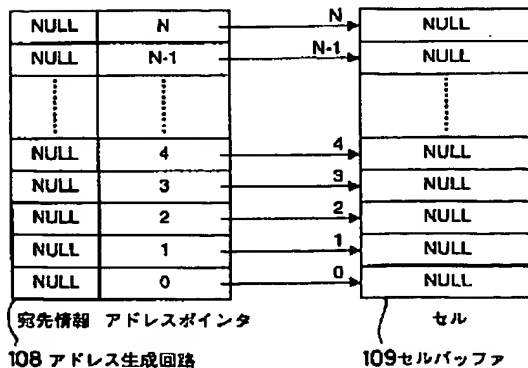
【図19】図18に示すアドレス生成回路の状態から出力動作後の内部状態を示す図である。

【図20】図19に示すアドレス生成回路の状態からシ

【図1】



【図13】



フト動作後の内部状態を示す図である。

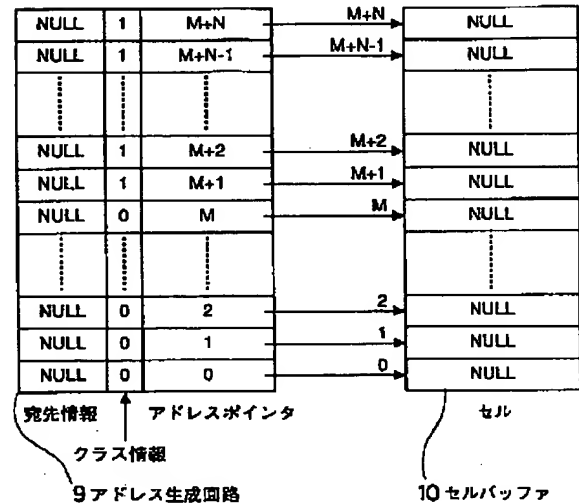
【図21】図20に示すアドレス生成回路の状態からシフト動作後の内部状態を示す図である。

【図22】同報機能を備えた従来のATMスイッチのアドレス生成回路の構成を示す図である。

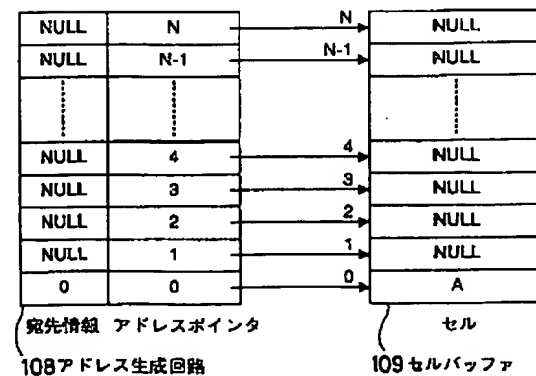
【符号の説明】

- 1 宛先情報レジスタ
- 2 アドレスポインタレジスタ
- 3 クラス情報レジスタ
- 4 カラム制御回路
- 5 アドレス生成ユニット
- 6 宛先情報入力バス
- 7 制御バス
- 8 アドレスポインタ出力バス
- 9 アドレス生成回路
- 10 セルバッファ
- 11 第1のクラス情報レジスタ

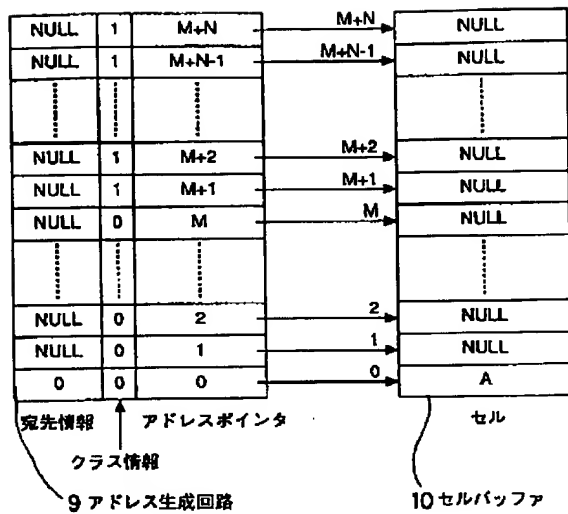
【図2】



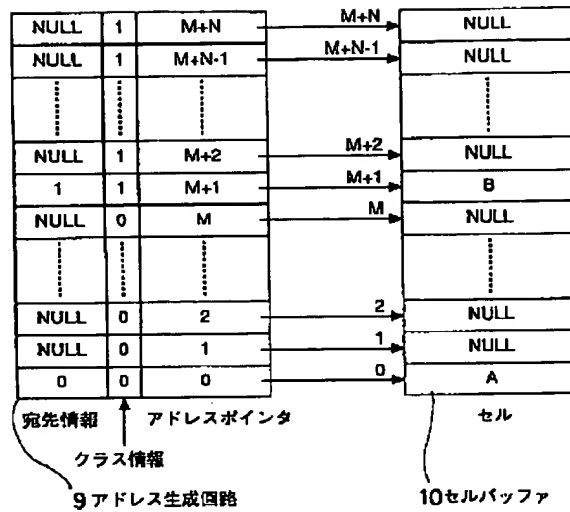
【図14】



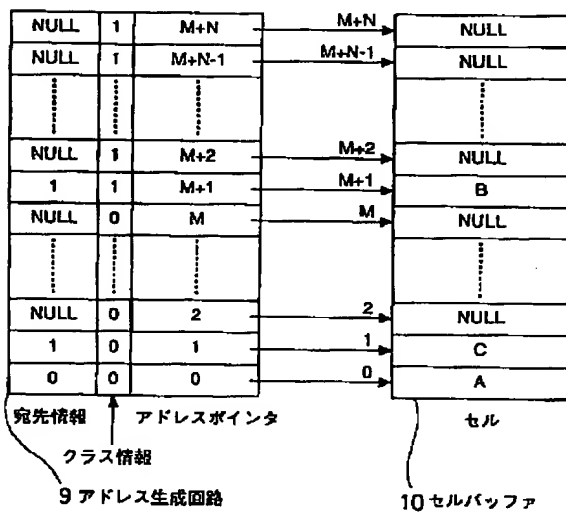
【図 3】



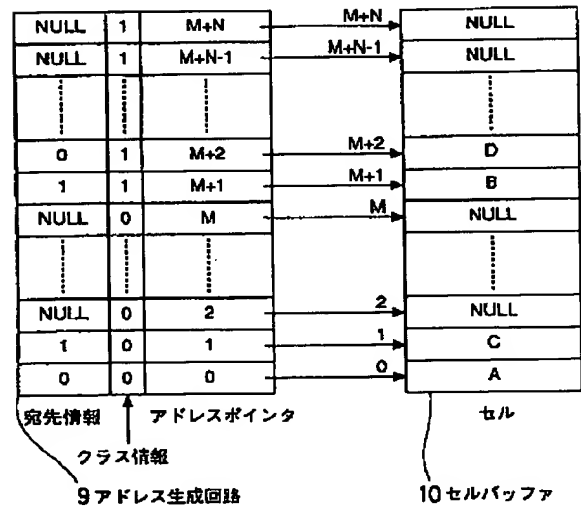
【図 4】



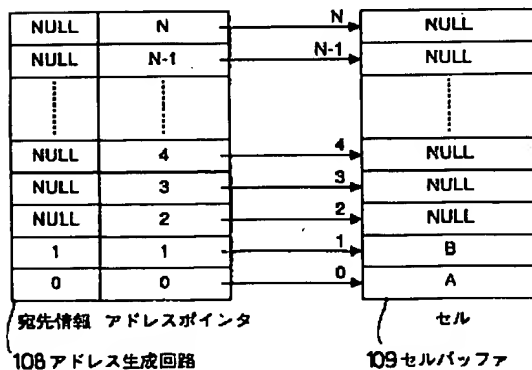
【図 5】



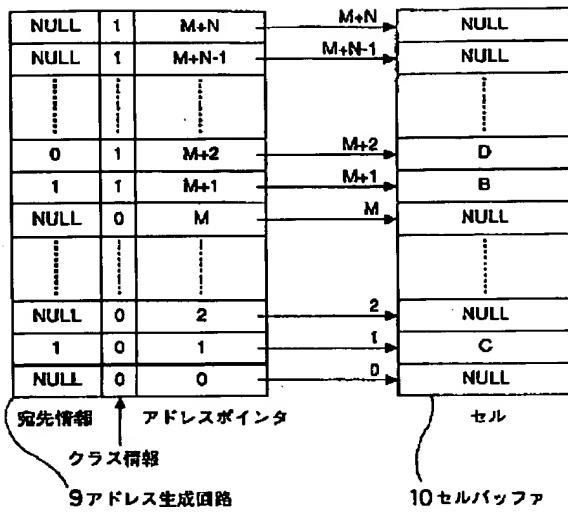
【図 6】



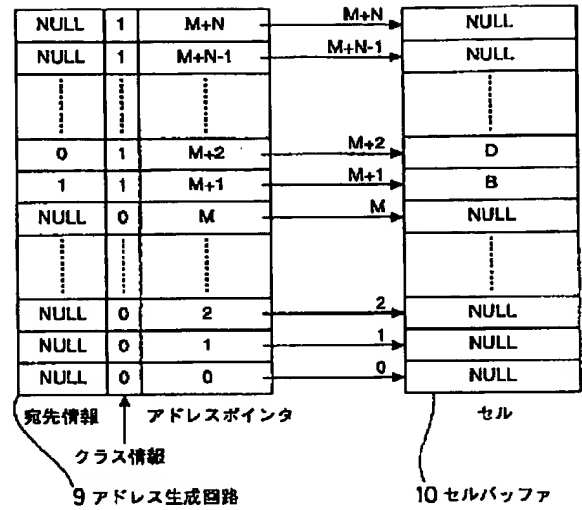
【図 15】



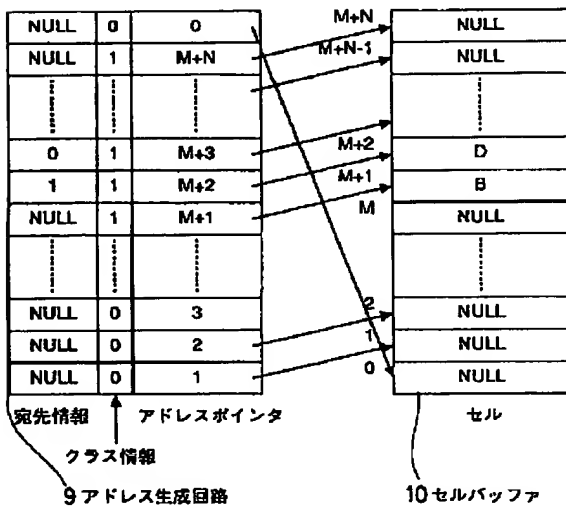
【図7】



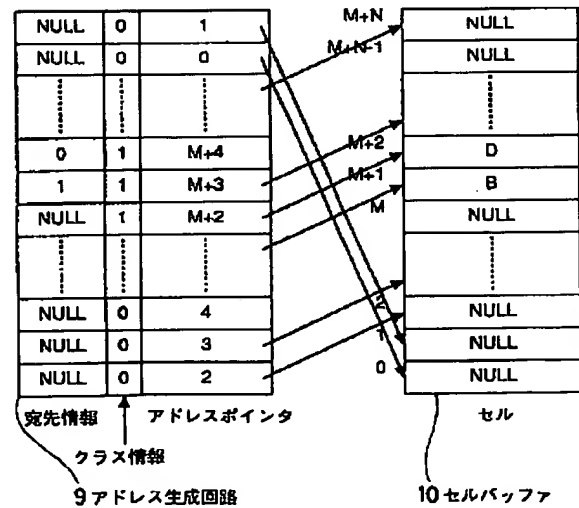
【図8】



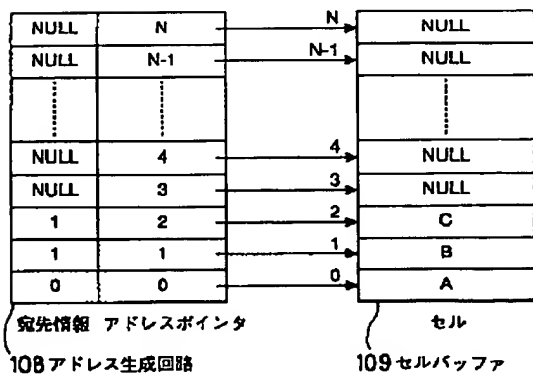
【図9】



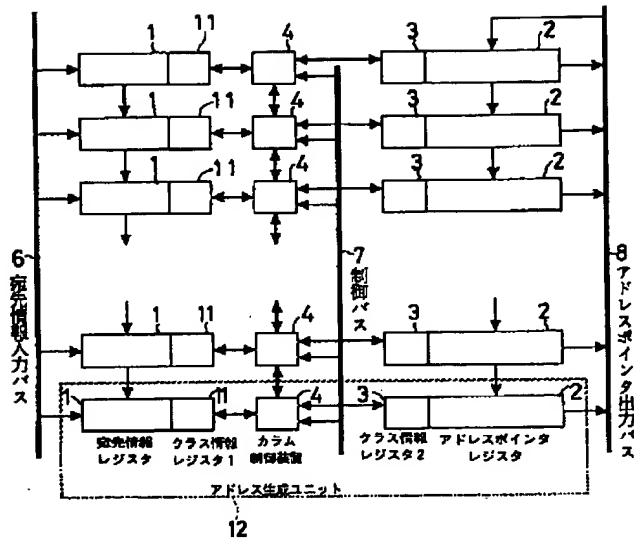
【図10】



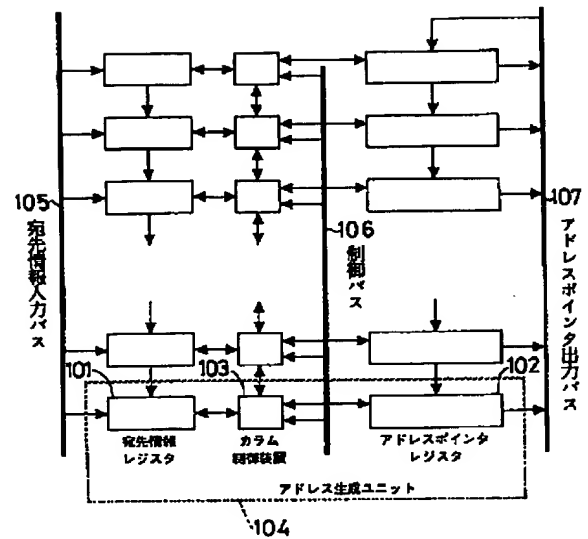
【図16】



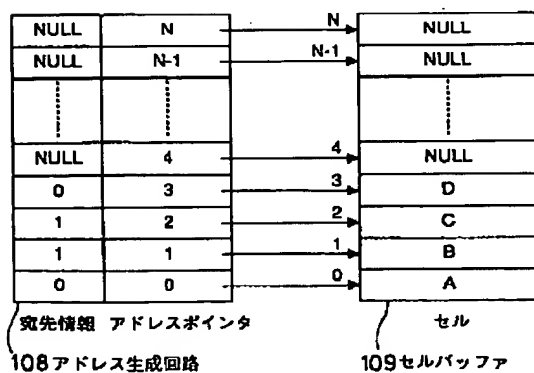
【図 11】



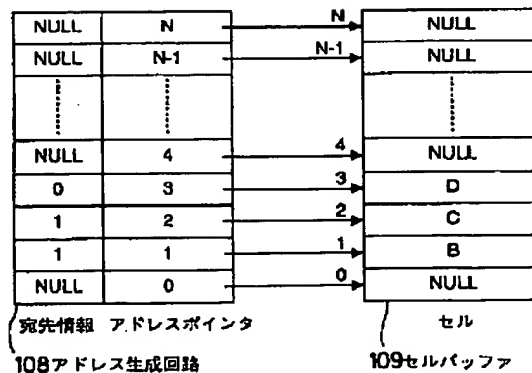
【図 12】



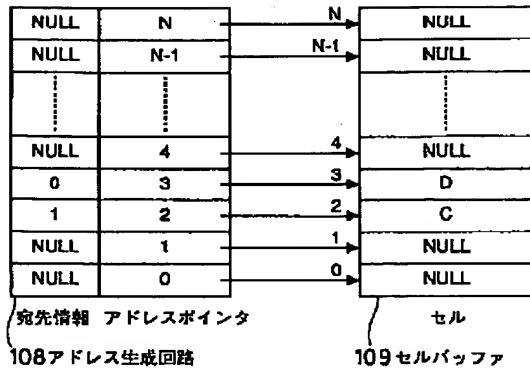
【図 17】



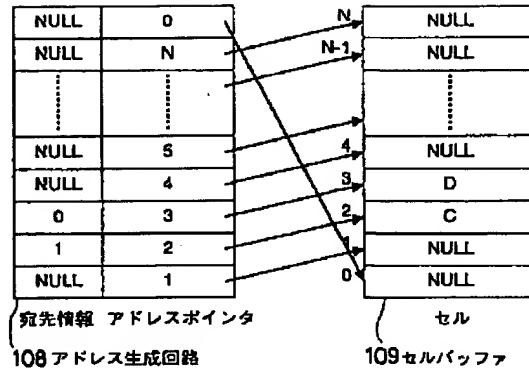
【図 18】



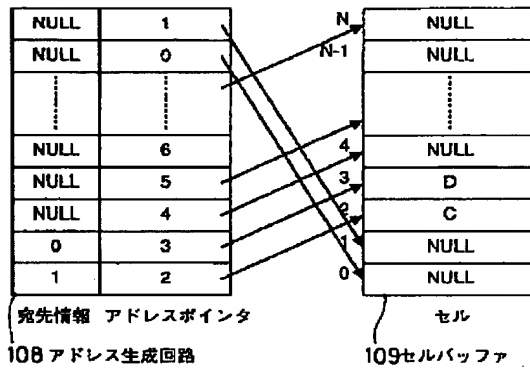
【図 19】



【図 20】



【図 21】



【図 22】

